



M Ű E G Y E T E M 1 7 8 2

TDK DOLGOZAT

Nagyfrekvenciás órajel elosztó hálózatokban alkalmazott ILO áramkörök

Csányi Péter IV. vill. Hallgató

Konzulens: Dr. Bognár György
Elektronikus Eszközök Tanszéke

2011

Tartalomjegyzék

Bevezetés.....	3
VLSI áramkörök adatútjai	5
A VLSI áramkörökben alkalmazott órajel elosztóhálózatok felépítése, működése, és hibái.	7
Injection Lock Oscillátor (ILO) működése	11
Ring oszcillátorral megvalósított ILO tervezése	13
A megvalósított ILO szimulációs eredményei	20
Összegzés, lehetőségek.	26
Irodalomjegyzék	27

Bevezetés

A mai (2011) integrált áramkörök túlnyomó többsége szinkronműködésű, így egyszerűbben tervezhető, átláthatóbb, kevésbé hazard érzékeny áramkörök valósíthatók meg, és lehetőség nyílik a digitális áramkörök szintézisére is. Ezeknél az áramkörök mindenképp szükség van egy, a működést szinkronizáló jelre: az órajelre. Tehát a szinkronműködésű áramkörökben a különböző részegységek, cellák működésének időzítéséhez, az egyes részegységek közötti adatátvitelhez, adatok feldolgozásához órajelre van szükség.

Az egyre nagyobb bonyolultságú integrált áramkörök felületén óriási problémát jelent az órajel időben történő eljuttatása az áramkör különböző részegységeihez. Elméletben a szinkron áramkörök minden része egyszerre kapja meg az órajel megfelelő élét. Azonban mint minden jelvezetéken, az órajel vezetéken is késleltetést szenved a jel. Ha a jelutakon az órajel különböző késleltetést szenved, akkor előfordulhat, hogy két ágban órajel csúszás (clock skew) alakul ki. Ez azt jelenti, hogy a két logikai blokk valamekkora időkülönbséggel dolgozik, ami akár a digitális szinkron áramkör funkcionális hibáját okozhatja. Logikai szimulációk során viszont legtöbbször (legalábbis a tervezés első ütemében) úgy vesszük, mintha az áramkör minden része egyszerre kapná meg az órajelet.

Az egyre nagyobb integráltságú áramkörökben az órajellel vezérelt szekvenciális áramkörök száma fokozatosan növekszik, így ezen áramkörök (általános célú és grafikus processzorok, telekommunikációs áramkörök, stb.) felületén óriási problémát jelent az órajel időben történő eljuttatása az áramkör különböző részegységeihez. Ezért az órajel vezetékek elhelyezése, az órajel hálózat meghajtó fokozatainak méretezése, azaz az órajelelosztó hálózat tervezése kiemelt figyelmet érdemel, mivel az órajel vezetékek futják be a leghosszabb utat a chip felületén, csatlakoznak a legtöbb cellához (legnagyobb az ún. fanout-juk) és a legmagasabb frekvencián működnek. Ezen kívül a technológiai szórások (emiatt az elektromos paraméterek, terhelő kapacitások változása) is tovább nehezítik az órajel elosztó hálózat tervezését.

A mai (2011) általános célú processzorokban a működési frekvencia akár 3.6 GHz is lehet, így az órajel hullámhossza kb. 83mm. A félvezető chip mérete kb. 2 cm² is lehet (150mm x 150mm), ezért biztosan lesznek olyan vezetékek, amelyek hossza megközelíti a hullámhossz egytized értékét. Emiatt a jelút távvezetéként kezd viselkedni és a koncentrált paraméterű megközelítés már nem alkalmazható rá. Ezért át kell térni az elosztott paraméterű modellre. Viszont ez nem csak a legmagasabb működési frekvencián, hanem már 1.5 GHz-en is problémát jelent, így az elosztott paraméterű modellel kell terveznünk. Az órajel vezetéken történő jelterjedést hullámterjedésként vizsgálva egyértelmű, hogy az órajel késleltetést szenved, mialatt eljut az órajel generátortól a celláig.

A késleltetés mértéke a technológiai méretek csökkenésével fokozatosan növekszik, hiszen az egyre vékonyodó vezetékezés egyre nagyobb ellenállásúvá válik. Viszont az egyre kisebb alapterület miatt a vezetékek és a szubsztrát közötti kapacitás csökken. A vezetékek magassága nem követi a csíkszélesség változását, ezért jelenleg a vezetékeink magassága sokszorosa a szélességüknek. Így kisebb az ellenállásuk, de cserébe egyre jelentősebb az oldalfal kapacitásuk.

Ha az elkészült chipünkben az órajel különböző késleltetésű utakon érkezik meg az egyes áramkörökhöz, akkor előfordulhat, hogy az egyik részáramkör még nem fejezte be a műveletvégzést, viszont a hozzákapcsolódó részáramkör már elkezdte a saját műveletvégzését rossz bemeneti értékkel, így hibás eredményt szolgáltatva a kimenetén. Ennek a problémának a megoldására a fizikai szintézis során fokozott figyelmet kell fordítani az egy áramköri részegységet alkotó cellák (ALU áramkörök, vezérlő áramkörök, stb.) minél közelebbi elhelyezésére és az ún. órajel elosztó hálózat kiépítésére.

Az órajel elosztó hálózatban ILO szükségessége

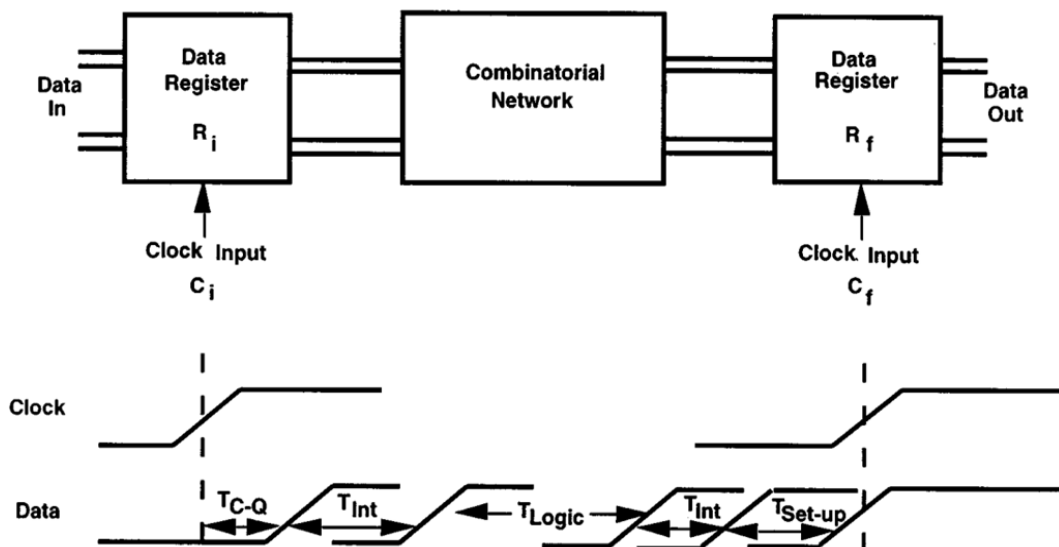
Az órajel elosztó hálózat ezen problémák miatt fontos szerepet kap egy chip tervezésénél. Egyre komplexebb órajel elosztási stratégiákra van szükség. Folyamatos kutatások zajlanak az ún. külső jellel befogott oszcillátorok (ILO – Injection Locked Oscillator) alkalmazására az órajel elosztó hálózatokban. Ebben az esetben az integrált áramkör közepén állítjuk elő a globális órajelet, amivel vezéreljük az áramköri részek saját lokális órajelét előállító ILO áramköröket. ILO áramkörök is hasonlóan működnek, mint az egyszerű VCO áramkörök, azonban előnyük, hogy képesek magukat szinkronizálni a globális órajelhez, valamint a globális órajel frekvenciájánál nagyobb ($f_{\text{global}} \cdot n$) vagy kisebb frekvenciájú (f_{global}/n) lokális órajelet is elő tudnak állítani megfelelő vezérlés mellett.

Dolgozatomban bemutatom egy – a nagyfrekvenciás órajel elosztó hálózatokban alkalmazható – ring oszcillátoros ILO áramkör kapcsolási rajzának és tervezésének, méretezésének lépéseit, szimulációs eredményeit.

VLSI áramkörök adatútjai

Lokális adatutak

Digitális áramköreinket már a logikai szintézis során is egyszerű regiszterekre és logikai áramkörökre bontjuk fel. A legtöbb szinkron digitális rendszer egy órajel felfutó élére kiírja a kimeneti regiszterébe az eredményt, amelyet onnan egy másik rendszer mintavételez és még a következő órajel felfutó éle előtt tárolja is egy regiszterbe azt. A két tetszőleges regiszter között egy kombinációs hálózat teremt kapcsolatot, amely a megfelelő blokkok összekötéséért felel. Itt a késleltetést az órajel vezetékek, a kombinációs logika és a regiszterek (beléjük való írás illetve kiolvasás) együttese adja. Ez a séma a chip bármelyik két kapcsolatban (logikai blokkok sorozata) lévő részére általánosítható.



1. ábra - Lokális adatút [V-2]

Az 1. ábrán egyszerűsített blokkvázlata látható két - egymás után következő - szinkron hálózatnak. Ha az Rf regiszter bemenete és az Ri regiszter kimenete között létezik legalább egy út (logikai blokkok sora), azaz a regiszterek kapcsolatban vannak egymással akkor az Ri és Rf regiszterek, mint egymást követő szomszédok ún. lokális adatutat alkotnak. Ekkor a következő összefüggést állapíthatjuk meg az adatúton belüli jelterjedésre:

$$\frac{1}{F_{clk(max)}} = T_{cp(min)} = T_{pd(max)} + T_{skew}$$

Ahol $T_{CP(min)}$ a legkisebb lehetséges órajel periódus, $T_{PD(max)}$ az adatút maximális késleltetése, a T_{skew} az órajel csúszás ideje. Az órajel periódust úgy kell megválasztani, hogy az R_i regiszterből származó utolsó adatjel is tárolódjon az R_f regiszterben az órajel következő felfutó élére.

$$T_{PD(max)} = T_{C-Q} + T_{Logic} + T_{Int} + T_{Setup}$$

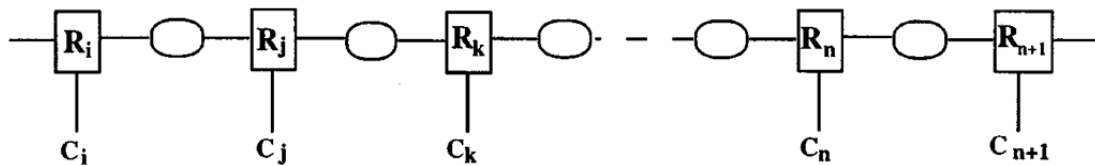
T_{C-Q} az a maximális idő, ami alatt az érvényes adat megjelenik a regiszter kimenetén az órajel (C_i) felfutó élének hatására. $T_{INT} + T_{LOGIC}$ az az idő, ami szükséges az adatjelnek, hogy a kombinációs hálózaton és az összeköttetéseken átjusson, és T_{SETUP} idő szükséges az adatjel következő regiszterbe való beírásához. [V-1][V-2]

Fontos kiemelni, hogy a C_i és C_f azonos órajel forrásból származik és az adat R_i regiszterből való kiolvasása és az R_f regiszterbe való tárolása ugyanazon órajel-periódus alatt történjen meg.

Globális adatutak

A regiszterekhez érkező órajelek az órajel elosztó hálózathoz érkeznek. Az órajel elosztó hálózat az egyes regiszterek szinkronizálásáért felelős. Az Órajel elcsúszás (clock skew) csak sorba kötött regiszterek esetén (lokális vagy globális adatutak esetén) értelmezhető. A 2. ábrán egy - több lokális adatútból felépülő - globális adatút (global data path) látható. Az ábrát vizsgálva kimondható az alábbi állítás[V-1]

A globális adatútban található bármelyik két regiszter között (amik nem feltétlenül szomszédosak) az órajel elcsúszás a köztes regiszterek órajel elcsúszásainak az összege. [V-1]



2. ábra Visszacatolástól mentes globális adatút [V-2]

Fontos, hogy csak egymással aktív kapcsolatban lévő regiszterek között értelmezhető az órajel elcsúszás. Mivel ha nincs lokális vagy globális adatút, akkor lényegtelené válik, hogy a két regiszter mekkora különbséggel működik.

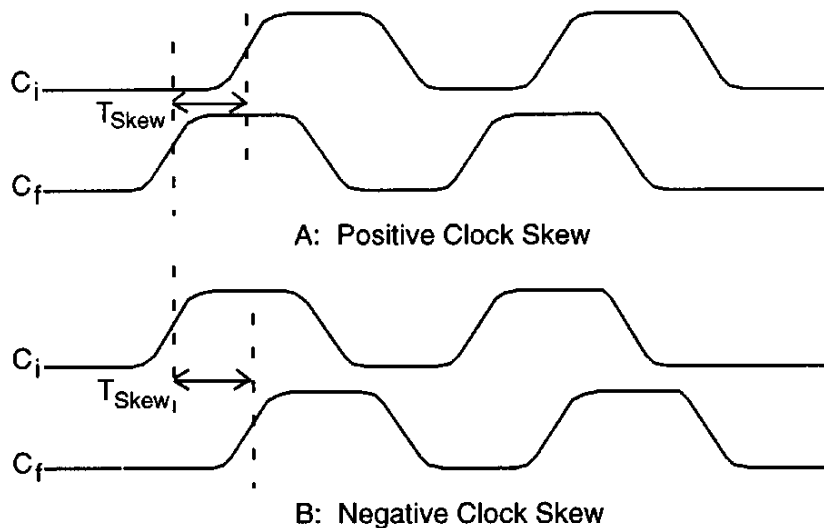
Egy tervezési ököl szabály szerint a legnagyobb jelterjedési időnek ($T_{PD(max)}$) a globális adatút bármely két R_i és R_j regisztere között kevesebbnek kell lennie, mint az áramkör működését vezérlő órajel egy periódusának (T_{CP}). (Ha a T_{skew} órajel elcsúszással nem számolunk)[V-3]

Pozitív órajel elcsúszás

Ha az adatút utolsó regiszteréhez az órajel hamarabb érkezik, mint az ugyanahhoz az adatúthoz tartozó első regiszterhez, akkor pozitív órajel elcsúszásról beszélünk.[V-4] Emiatt lassítani kell a rendszer működését, mert különben hibás eredményeket kapnánk. Pozitív órajel elcsúszás csak az áramkör maximális működési frekvenciájára van hatással. Ha a skew idejét (T_{skew}) összeadjuk az eredeti periódusidővel (T_{CP}), megkapjuk az új periódus időt.[V-3]

$$T_{PD(MAX)} > T_{CP(MIN)}$$

$$T_{skew} \leq T_{CP} - T_{PD(max)}$$



3. ábra Pozitív és negatív órajel elcsúszás idődiagramja [V-2]

Negatív órajel elcsúszás

Ha az adatút utolsó regisztere később kapja meg az órajelet, mint az adatút első regisztere, akkor az órajel csúszás negatív lesz. Azaz az órajel lemarad az adatjelekhez képest. Ez a negatív csúszás ideje levonódik az eredeti periódus időből. Amíg ez a késés nem haladja meg az órajel periódus idejét, addig nem okoz problémát. Viszont ha az órajel utak késleltetése megfelelően van beállítva, akkor egy gyorsabban működő rendszer hozható létre.[V-1]

$$T_{PD(MAX)} < T_{CP(MIN)}$$

$$T_{skew} \leq T_{PD(MIN)}$$

A VLSI áramkörökben alkalmazott órajel elosztóhálózatok felépítése, működése, és hibái

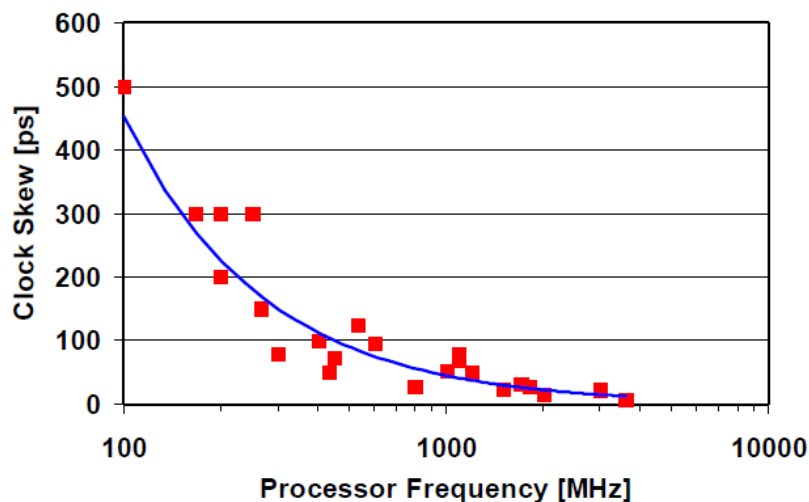
Az órajel elosztó hálózat (Clock tree) felelős az órajel generátorból kijövő órajel szétosztásáért az integrált áramkör felületén. Itt az a cél, hogy a logikailag összetartozó áramkörök, regiszterek órajel elcsúszása minimális legyen. Az órajel csúszás csak egymással kommunikáló blokkok között értelmezhető. A modern integrált áramkörök felületén (köszönhetően a modern Place & Route eszközöknek) nincs olyan adatút, ami a chip két átellenes pontját is magába foglalná. Így az órajel elcsúszást az áramkör két átellenes pontja között nem értelmezhetjük. [V-1]

Az MFS csökkentésének hatása az órajel elcsúszásra

A MOS eszközök méreteinek csökkenése az eszköz minden dimenziójának és feszültségeinek értékét egy S skála faktoriala leosztja ($S > 1$). Az eszköz paramétereitől függő késleltetések értékét is S-sel kell osztani, viszont az összeköttetések késleltetése nem csökken. (Ilyen a T_{skew}) Ugyan a vezetékek és a szubsztrát közötti parazita kapacitások csökkennek, de a vezetékek ellenállása növekszik és ezeknek a magas és kis csíkszélességű vezetékeknek az oldalfal kapacitása is egyre jelentősebb. Ezen hatások miatt kimondható, hogy a méret csökkenésével a vezetékek késleltetése nő.[V-1]

A működési frekvencia növelésének hatása az órajel elcsúszásra

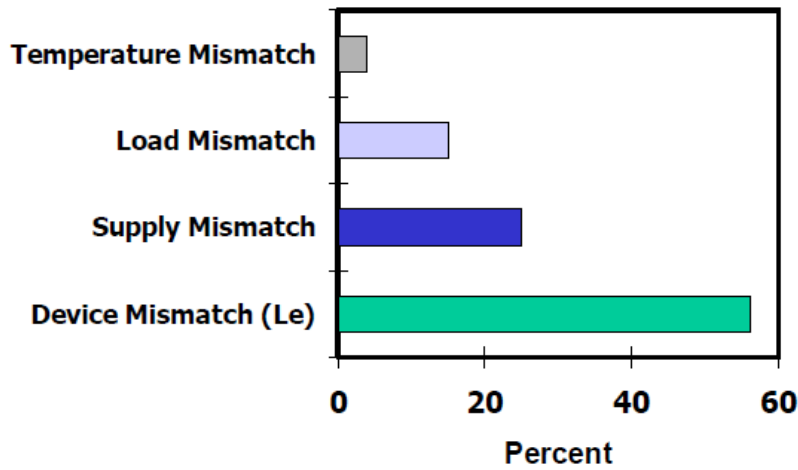
Az elviselhető csúszás mértéke erősen függ az órajel frekvenciájától. Ez látható a 4. ábrán is. Általában egy tervezési ökölszabály, hogy az órajel periódusidő 5%-át ne haladja meg az órajel elcsúszás értéke.[V-1] Egy 3GHz-en működő processzornál ez a toleranciasáv 16ps, míg egy 1GHz-en működőé 50ps. A késleltetés mértéke növekszik az egyre kisebb jelvezetékek használatával. Ha gyors az áramkör, akkor a vezeték késleltetések nem elhanyagolhatók. Nagy sebességű áramkörökben a kapuk átbillenési ideje összemérhető a vezeték késleltetéseivel. Idesorolható minden 50MHz-nél nagyobb frekvencián működő áramkör, és az igen nagy integráltságú áramkörök is (minden VLSI áramkör ilyen).



4.ábra - Az órajel elcsúszás változása a processzorok működési frekvenciájának függvényében (Journal of Solid-State Circuits folyóiratban 1997-2007 között megjelent adatok alapján)

Egy adott frekvenciájú, és adott csíkszélességű chip esetén az órajel elcsúszások okai:[V-1]

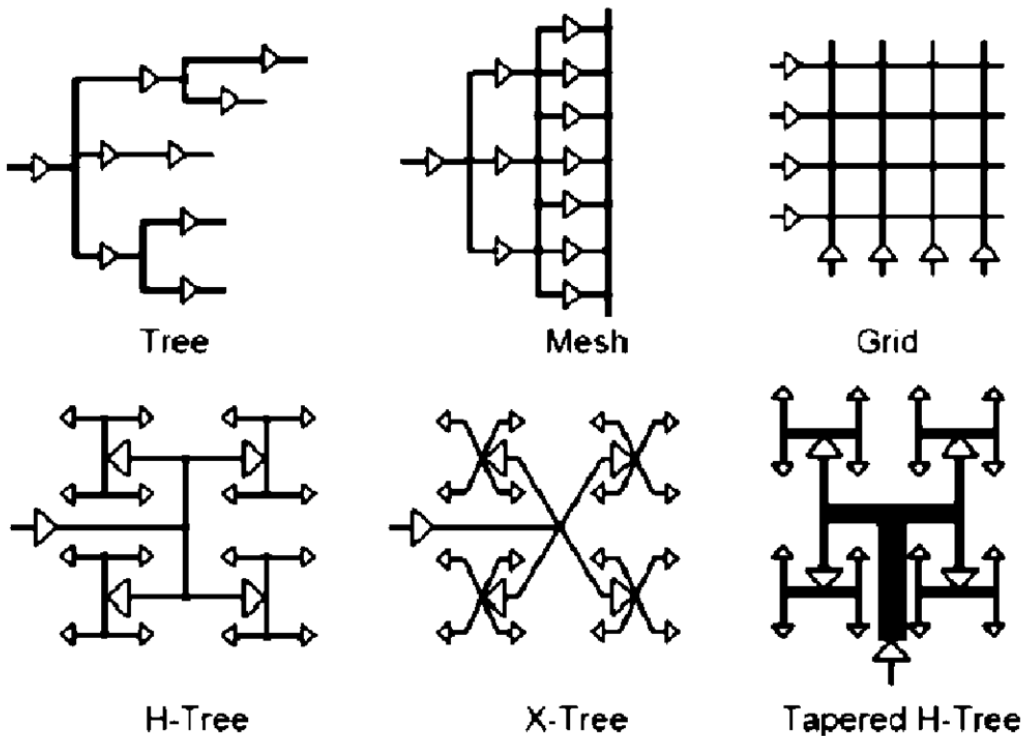
- Órajel utak különböző hosszúsága. – **Load mismatch**
- Különbségek az összekötő hálózat paramétereiben (fajlagos vezetőképesség, dielektromos állandó, vezeték vastagság, VIA illetve kontaktus ellenállása, oldalfali és vezeték kapacitás, vezeték vastagság, stb.)
- Különbségek az aktív eszközök paramétereiben, amik az órajel elosztó hálózatban kerülnek felhasználásra (MOS V_{th} , töltéshordozók mozgékonyasága, stb.) – **Device mismatch**
- Változások a tápfeszültségben. – **Supply mismatch**
- Az előzőekből adódóan az órajel elosztó hálózatban felhasznált áramköri részegységek (pl.: aktív puffer áramkörök, órajel elcsúszást mentesítő – deskew – áramkörök, stb.) késleltetéseinek változása
- Az integrált áramkör felületén inhomogén hőmérséklet eloszlás (az alkalmazott eszközök paramétereit és az áramkörök munkapontját eltolja) – **Temperature mismatch**



5. ábra – Az skew forrásainak százalékos aránya [V-1]

Az órajel elosztó hálózatok felépítése, működése, és hibái

Az órajel elosztó hálózat vezetékeit általában a legmagasabb fémvezetékvezetés rétegen (a szubsztráttól legtávolabb) valósítják meg. Ezen a rétegen ugyanis a legkisebb a fajlagos ellenállása a vezetéknek és a legkisebb az órajel vezeték és szubsztrát közötti parazita kapacitás értéke (mivel ez van a legmesszebb a félvezető felületétől). Az órajel vezetékeket – főleg magas frekvencián – alulról illetve oldalról árnyékoló vezetékekkel veszik körbe a zaj, rálapolódás elkerülése miatt. [V-1]

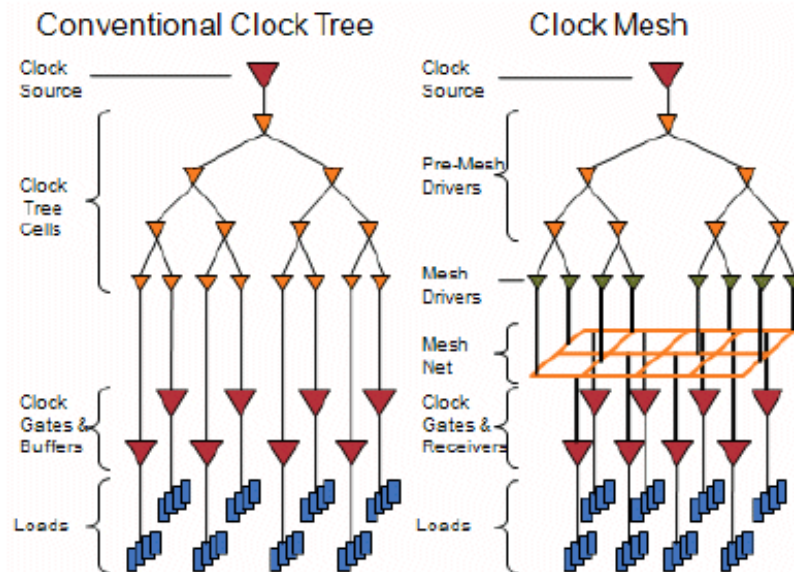


6. ábra – Az integrált áramkörökben alkalmazott órajel elosztó hálózatok

A háromszögek a buffer áramköröket jelzik. [V-2]

Az integrált áramkörökben alkalmazott órajel elosztó hálózat topológiák a 6. ábrán láthatók. A leggyakrabban egy fa (tree) jellegű hálózatot valósítanak meg, ahol az órajel erősítők (buffer) az órajel elosztó hálózat mentén, egymás után helyezkednek el. Minden út a fában ugyanannyi

számú puffer áramkört tartalmaz. A puffer áramkörök méretét és számát egy adott útban a terhelő kapacitásoknak és a maximálisan megengedhető órajel elcsúszásnak megfelelően kell beállítani. Továbbfejlesztési lehetőség a háló (mesh) topológia, amikor a puffer áramkörök kimenetét összekötjük. Ez látható a 7. ábrán. Illetve a rács (grid) topológia, amikor a hálót két irányból is tápláljuk.



7. ábra – Egy egyszerűbb fából (tree) felépülő és egy hálót (mesh) használó órajel elosztó rendszer (<http://www.design-reuse.com> Clock Mesh Variation Robustness: Benefits and Analysis By Mallik Devulapalli and Yuichi Kawahara; Synopsys Inc.)

Modern nagyfrekvencián működő processzorok esetén azonban a hierarchikus felépítésű H fa illetve az X fa topológiát alkalmazzák. Ebben az esetben már a chip közepén állítják elő az órajelet, ami egy H vagy X alakú struktúrával juttatható el a chip fő részeihez. Az előző végpontokra újabb kisebb H illetve X alakú struktúrák kapcsolódnak (vegyesen is építkezhetünk), és ez ismétlődik, amíg a regiszterek szintjére nem jutunk le. Nagy fokú szimmetria, és jó terhelés elosztás szükséges ahhoz, hogy a chip közepétől a fa struktúra végpontjáig az órajel ugyanakkora késleltetést szenvedjen el minden ágban. Fontos megemlíteni, hogy a távvezetékeknél megismert jelenségek itt is érvényesek. Megfelelő lezárások nélkül reflexió jön létre. Ez további fogyasztásnövekedést eredményez. A digitális VLSI áramkörök órajel elosztó hálózatai fokozatosan vékonyodó (tapered) H fát használnak. Ebben az esetben az órajel vonalak impedancia illesztése a fő cél, ezzel is csökkentve a reflexiót az elágazódásokban. Az elágazódásba érkező órajel vezeték impedanciája pontosan a fele az elágazódást elhagyó órajel vezetékének. [V-1]

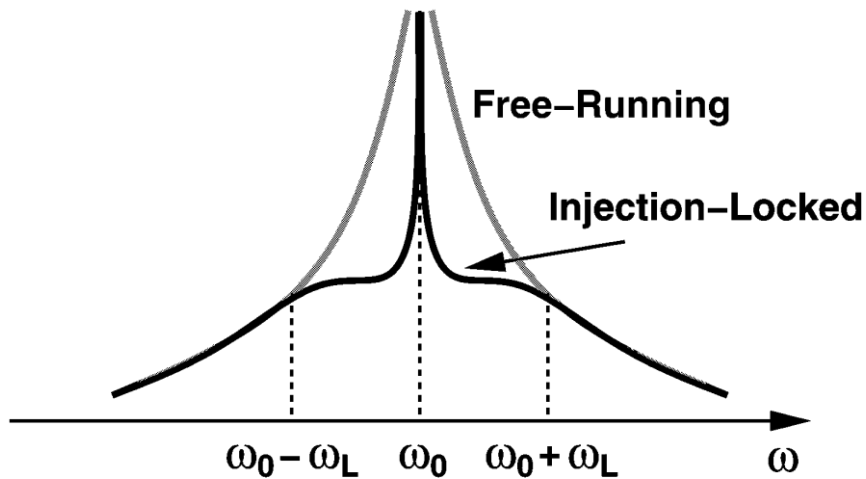
Az órajel szétosztó struktúrák

- A legegyszerűbb és legrégebbi megoldás az, amikor nincs órajel elosztó hálózat a rendszerben. A szinkron órajel érdekében a maximális késleltetés figyelembe vételével határozható meg a maximális működési frekvencia.
- Az integrált áramkör szélén bejövő órajelet valamilyen fa jellegű elosztó hálózattal kell eljuttatni az egyes regiszterekhez, így a csúszások mértéke mérsékelhető.

- Ha a bejövő órajel a chip közepére van vezetve, és onnan egy szimmetrikus esetleg impedancia illesztett fa szerkezetű elosztó hálózattal jut el a chip egyes blokkjaihoz, akkor egy jobb elosztó hálózat valósítható meg.
- Az integrált áramkör szélén bejövő órajelet egy PLL állítja be a kívánt frekvenciára, így egy állítható működési frekvenciájú globális órajel hozható létre. Ezután egy szimmetrikus, esetleg impedancia illesztett fa jellegű hálózattal vezethető el a blokkokhoz.
- Rezonáns órajel elosztás esetén az egész órajel elosztó hálózat gyakorlatilag egy LC oszcillátorként működik, ahol a tárolt elektromos energia az induktivitás és a kapacitás között az oszcillátor rezonanciafrekvenciáján oszcillál. Hátránya, az induktivitás pontatlansága, és hogy a működési frekvenciát csak szűk tartományban lehet állítani. Előny az alacsony fogyasztás.
- Az integrált áramkör közepén előállított vezérlő feszültség (Ez egy analóg jel lesz.) eljuttatható a blokkokhoz, ahol egy VCO (ring vagy LC oszcillátor) állítja elő a blokk saját órajelét. Nagy előny ebben az esetben, hogy nem egy időben változó periodikus jelet, hanem egy egyenfeszültségű jelet kell továbbítani a chip felületén. A feszültség változtatásával az egyes blokkoknak (egymással nem kommunikáló blokkok esetén) akár különböző frekvenciájú órajel biztosítása is lehetővé válik. LC oszcillátor használatakor rendkívül alacsony lesz a fogyasztás (töltést csak a szivárgás miatt kell "pótolni"), viszont az induktivitások viszonylag nagy helyet foglalnak el a chipen, és a rezgési frekvencia csak korlátozott keretek között állítható.
- Az új kutatások eredményeként ún. külső jellel befogott oszcillátorok (ILO – Injection Locked Oscillator) alkalmazhatóak a lokális órajel előállítására. Ez azért előnyös, mert így a lokális órajelek szinkronizálhatók egymással. Így az integrált áramkör közepén előállított globális órajel és vezérlő feszültség vezérelheti az áramköri részek saját lokális órajelét előállító ILO áramköröket. ILO áramkörök hasonlóan működnek, mint az egyszerű VCO áramkörök. Azonban előnyük, hogy képesek magukat szinkronizálni a globális órajelhez, valamint a globális órajel frekvenciájánál nagyobb ($F_{\text{global}} \cdot n$) vagy kisebb frekvenciájú (F_{global}/n) lokális órajelet is elő tudnak állítani megfelelő vezérlés mellett.

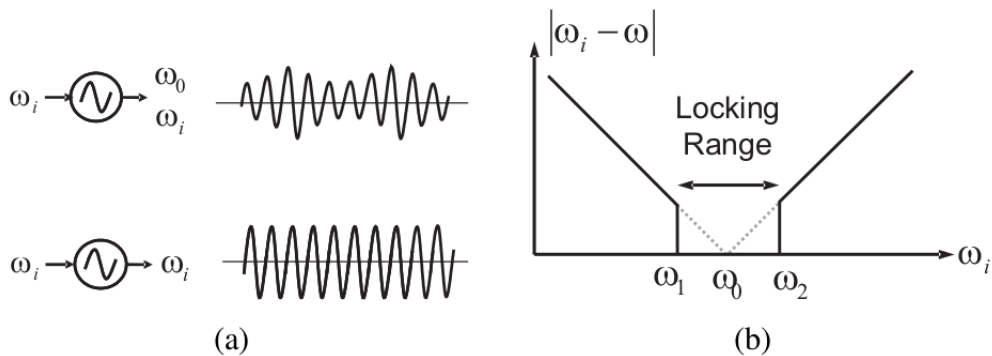
Injection Lock Oscillátor (ILO) működése

A külső jellel befogott oszcillátorok (ILO) egy, a rezonancia frekvencia közelében bekövetkező jelenségen alapulnak. Ez a jelenség látható a 8. ábrán. A jelenség lényege az, hogy egy órajel generátorba egy külső órajel van becsatolva. A két különböző frekvenciájú órajel, ha elég közel van egymáshoz, akkor nem azonos frekvencián is létrejöhet egy konstans frekvenciájú és amplitúdójú jel a közös kimeneten. Ugyanis létezik egy olyan ω_0 körüli $\pm\omega_L$ frekvencia tartomány, ahol az ω_i , - a külső jel - befogja, elhangolja az ω_0 -t ω_i -re. Ez a tartomány a befogási tartomány (locking range). Az ω_0 a szabályozott órajel generátor frekvenciája, ω_i a külső jel és az ω_L a locking range határának távolsága az ω_0 -tól. Ez a jelenség az alapja az ILO áramköröknek.



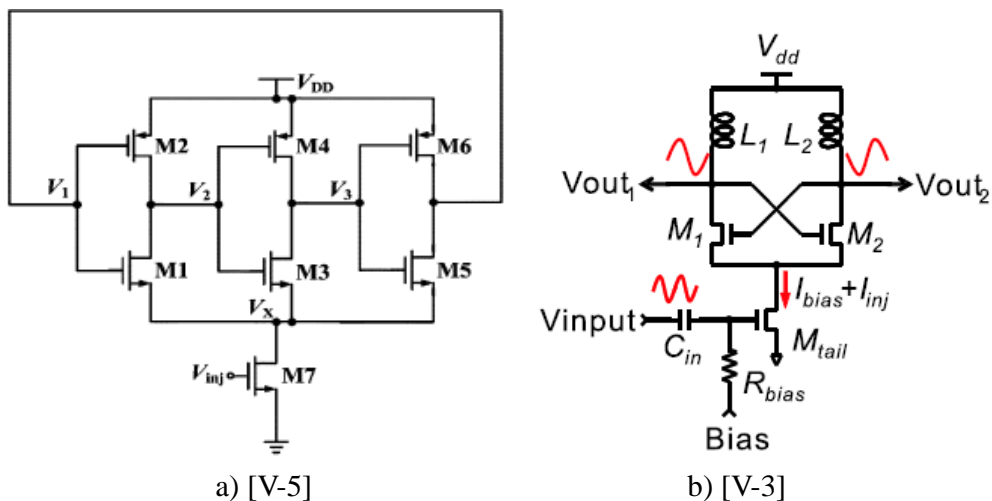
8. ábra – Az $\omega_0 \pm \omega_L$ tartományban érvényesül a hatás[V-6]

Ahogy az a 9 a). ábrán is látszik, ha a két jel távolsága eléri a locking range határát, megszűnik az amplitúdó és frekvencia hullámszás, amely a két jel egymáshoz viszonyított folyamatos fázisszög változásából ered.



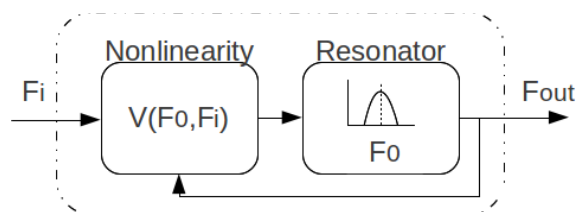
9. ábra – Az ω_0 a szabadon futó oszcillátor frekvenciája. Az ω_i a külső jel frekvenciája. Az ω_1 és az ω_2 a locking range határai. [V-3]

Az $|\omega_i - \omega_0|$ a szakirodalom "beats"-nek nevezi. Tehát nem kell, hogy a két jel megegyezzen, hanem csak a befogási tartományban kell lennie a két jelnek. Mint már az előbbieken említettem ezek az áramkörök szinkronizálódnak a bejövő órajelre, és ha ω_0 elég közel van ω_i fel-, vagy szubharmonikusához, akkor ω_0 beáll ω_i többszörösére vagy törtrészére is. Így lehet használni frekvencia szorzásra és osztásra is. Fontos megemlíteni, hogy vannak fizikai korlátai az órajel generátornak, ez korlátot szab a frekvencia többszörözésénél.



10. ábra – a) Egy ring oszcillátorral megvalósított ILO. b) LC oszcillátorral felépülő ILO

A külső jelet mindig egy tranzisztor csatolja be az áramkörbe. Ezt a keverő tranzisztor. Mivel az induktivitás integrált áramköri megvalósítása még mindig gondot jelent, (nagy helyfoglalás és rossz minőség) ezért ez a dolgozat a ring oszcillátorokkal megvalósított ILO-kal foglalkozik. A ring oszcillátorok páratlan számú inverterből épülnek fel. A parazitahatások miatt az órajel él váltása csak valamekkora késleltetéssel tud tovább terjedni. Ez az inverter késleltetése. (Ez legyen $t_{\text{kapú}}$.) Azért van szükség páratlan számú inverterre, hogy a kimenet a bemenettel ellentétes él váltást hozzon létre. Ha a kimenetet visszakötjük a bemenetre létrehoztuk az oszcillátort. Így az első inverter $N \cdot t_{\text{kapú}}$ idő (N inverterek száma) múlva pontosan az ellentétes él váltást kap a bemenetére. Bias-szal állítható az ω_0 frekvencia. Az ILO-k egy nemlineáris szabályzású oszcillátorral modellezhetőek, ez látható a 11. ábrán. Nagy előnye egy PLL-el szemben, hogy egyszerűbb a felépítésük és kevés helyett foglalnak a chip felületén. (ha ring oszcillátort használunk) [V-3]



11. ábra - Az ILO általános modellje. [V-3]

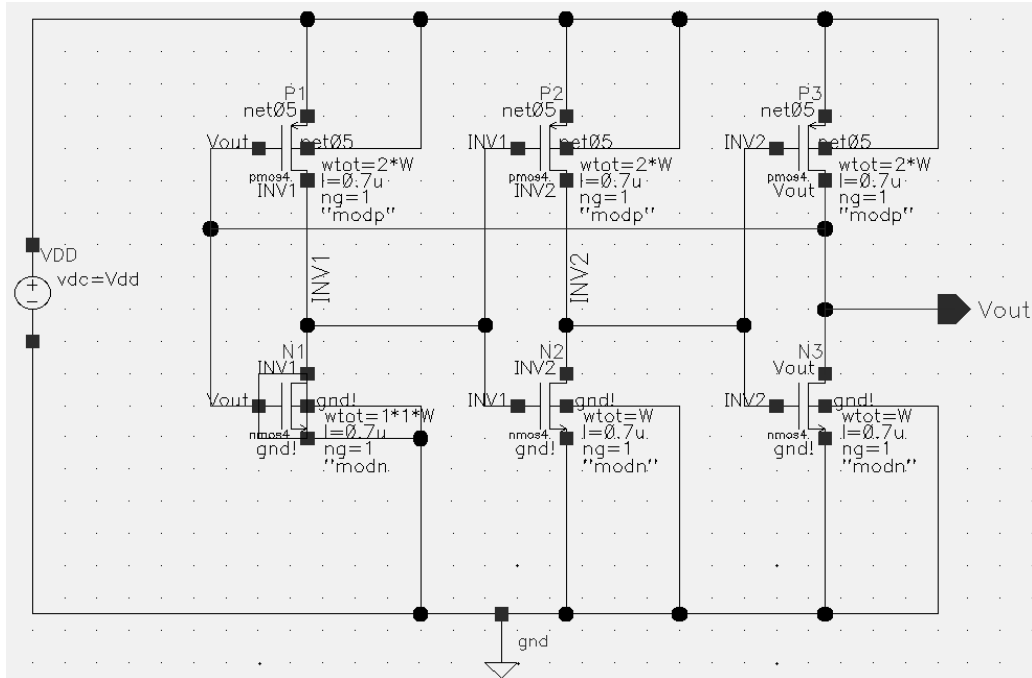
Ring oszcillátorral megvalósított ILO tervezése

Tervezésre és a szimulációkra Cadence OPUS IC 6.1.4 nyílt integrált áramkör tervezőrendszerrel használtam. Az áramkört az Austria Microsystem 0.35 μm CMOS technológiára terveztem, 3 V-os tápfeszültségre.

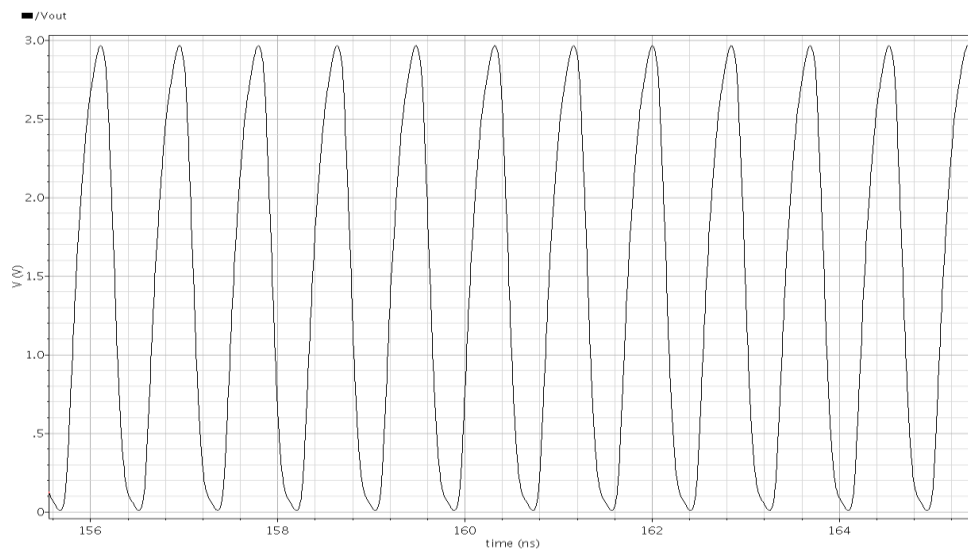
A Tervezés fontosabb lépései:

Egy ring oszcillátor invertekből épül fel. Ezeket az inverteket sorba kell kötni és az utolsó kimenetét az első bemenetére kell kötni. Egy inverter egy PMOS és egy NMOS tranzisztorból áll. Az L értéket (csatorna hossza) célszerű lenne az adott technológia minimumra (MFS) választani, hogy a lehető legkevesebb helyett foglaljon a chip felszínén, de ez egy analóg áramkör. Az analóg áramkörök sokkal érzékenyebbek a technológiaszórásokra, mint a

digitális áramkörök, ezért minimum az MFS kétszerese szükséges a megfelelő működéshez. Az $L_p = L_n = 0.7\mu\text{m}$. Mivel az elektronok mozgékonyasága 3 szorosa a lyukakénak, ezért a $W_p = 1.6 * W_n$. De mivel ez sem egy állandó érték, ezért ezen a 3V-os tápfeszültségen első közelítésben felvehető kétszeresre is. A W_n megválasztásával állítható be a ring oszcillátor sebessége. Ezt én a W_n -t $1\mu\text{m}$ -re állítottam. Ezután egy szimulációt végeztem, hogy a keletkező órajel hullámformáját megkapjam. A vizsgált kapcsolási rajz a 12.ábrán látható. A ring oszcillátor által létrehozott hullám a 13. ábrán látható.



12. ábra – A vizsgált ring oszcillátor kapcsolási rajza.

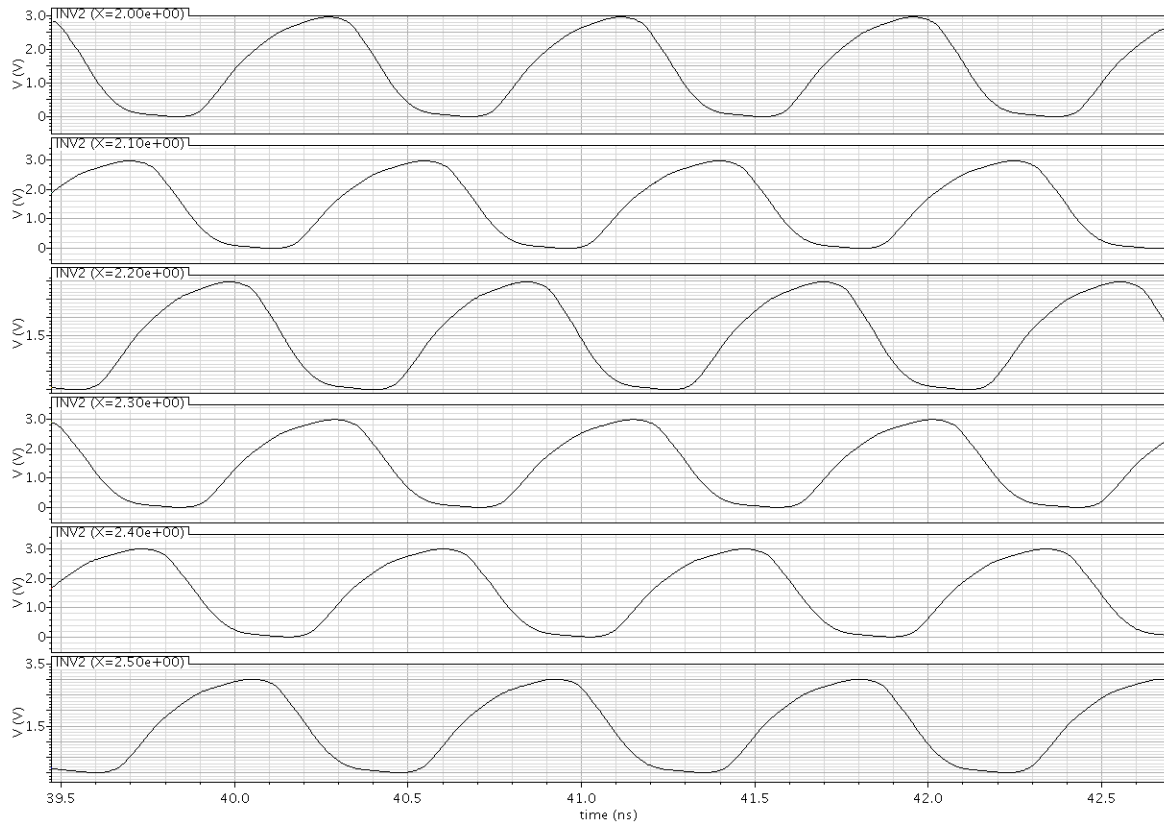


13. ábra – Az első szimulációs eredmény

Azért nem a nulla időpillanattól vizsgálom a jelet, mert a ring oszcillátornak is van egy bekapcsolási ideje. A 13. ábrán látható, hogy az oszcillátor töltő és kisütő árama nem egyenlő. Ezért a felfutó él nem lesz egyenlő a lefutó éllel. A jel frekvenciája: $F_0 = 1.188\text{GHz}$

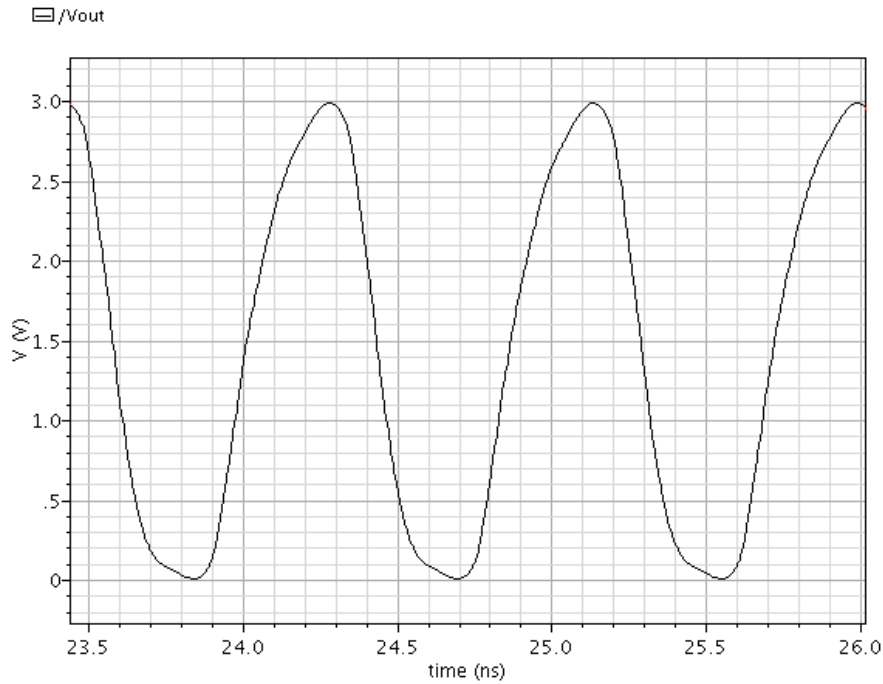
A W_p/W_n arány meghatározás

A PMOS csatorna szélességét $W_p=X*W_n$ -re állítottam be. Az X értékét parametrikus szimuláció segítségével állítottam be. Az X értékét 2-től 2.5-ig változtatta a szimulátor 6 lépésben. Ez látható a 14. ábrán.



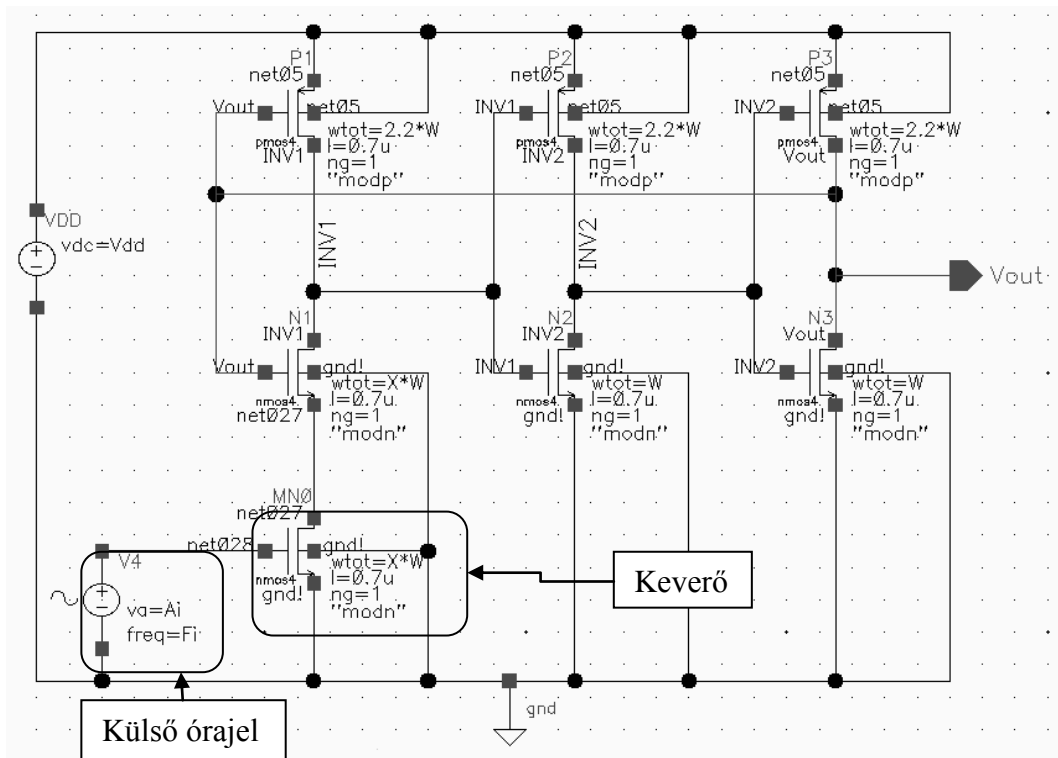
14. ábra – A pmos csatornaszélesség hatása a ring oszcillátor kimenetére.

A legjobb szorzó meghatározásában a következőket mérlegettem (fontossági sorrendben): a jel középvértéke, a jel maximális értéke. Ezek alapján az $X=2.2$ esetében lett a legjobb a kimenet $U_{AV} = 1.502$ V, $U_{MAX} = 2.99$ V. A szimulációk során $U_{MIN} = 23$ mV nem változott hiszen most az X a töltő áramot állítja, ami a felfutó élek meredekségét szabályozza. A 15. ábrán látható a választott X érték esetén a kimenet hullámformája.



15. ábra – A $W_P=2.2*W_N$ Esetén a kimenet hullámformája.

A kész ring oszcillátorba már csak a külső jelet kell bekötni. Ezt úgy valósítottam meg, hogy az első ring oszcillátor NMOS tranzisztora és a föld közé egy újabb NMOS-t kötöttem be. Ez lesz a keverő tranzisztor, ami a külső jelet a ring oszcillátorba juttatja. A keverő NMOS gate elektródájára a külső órajelet kötöttem. Ez látható a 16. ábrán



15. ábra – A külső jel becsatolása a ring oszcillátorba egy nmos tranzisztorral. (keverő)

Az keverő és a felette lévő NMOS tranzisztor csatornaszélességének beállítása.

A keverő NMOS elállítja az áramkört, hiszen korlátozza a kisütő áramot, és a csatornájának van ellenállása is. Ezért most $W_{N2}=X*W_N$, ahol a W_{N2} a két egymás alatt lévő tranzisztor csatornaszélessége. Az X értékét parametrikus szimuláció segítségével állítottam be.

A szimulációs paraméterek értékei:		
Vdd	3V	Ezek már adottak.
W	1 μ m	
L	0.7 μ m	
U _{BIAS}	3V	A keverő tranzisztor Gate elektródája és a föld közé kapcsolt egyen feszültség. Felfogható úgy is, mint a külső órajel egyenfeszültségű összetevője.
Ai	0V	A külső órajel váltakozó összetevőjének amplitúdója.
Fi	0Hz	A külső jel frekvenciája. Minden esetben szinusz hullámot használtam.
X	Egy és kettő között vizsgáltam 6 lépésben	

A szimuláció eredményei az 1. táblázatban láthatók. Mivel szimmetrikus jelalakot szerettem volna látni a kimeneten, ezért a fő szempont a jel középértéke volt. A második szempont az volt, hogy a jel minél magasabb maximális értéket érjen el.

X	U _{out} MIN [mV]	U _{out} MAX [mV]	F ₀ [GHz]	U _{AV} [V]
1	25.02	3.023V	1.063	1.611
1.2	23.9	2.99V	1.085	1.544
1.4	23.29	2.951V	1.099	1.474
1.6	23.2	2.911V	1.108	1.423
1.8	23.47	2.869V	1.114	1.387
2	23.8	2.826V	1.117	1.352

1. táblázat

Az 1. táblázatban látható, hogy 1.2 és 1.4 között újabb kisebb felosztású szimuláció szükséges. Ennek az eredményei láthatók a 2. táblázatban.

X	U _{out} MIN [mV]	U _{out} MAX [mV]	F ₀ [GHz]	U _{AV} [V]
1.2	23.9	2.99	1.085	1.544
1.25	23.6	2.98	1.089	1.529
1.3	23.46	2.971	1.093	1.511
1.35	23.35	2.961	1.096	1.492
1.4	23.29	2.951	1.099	1.474

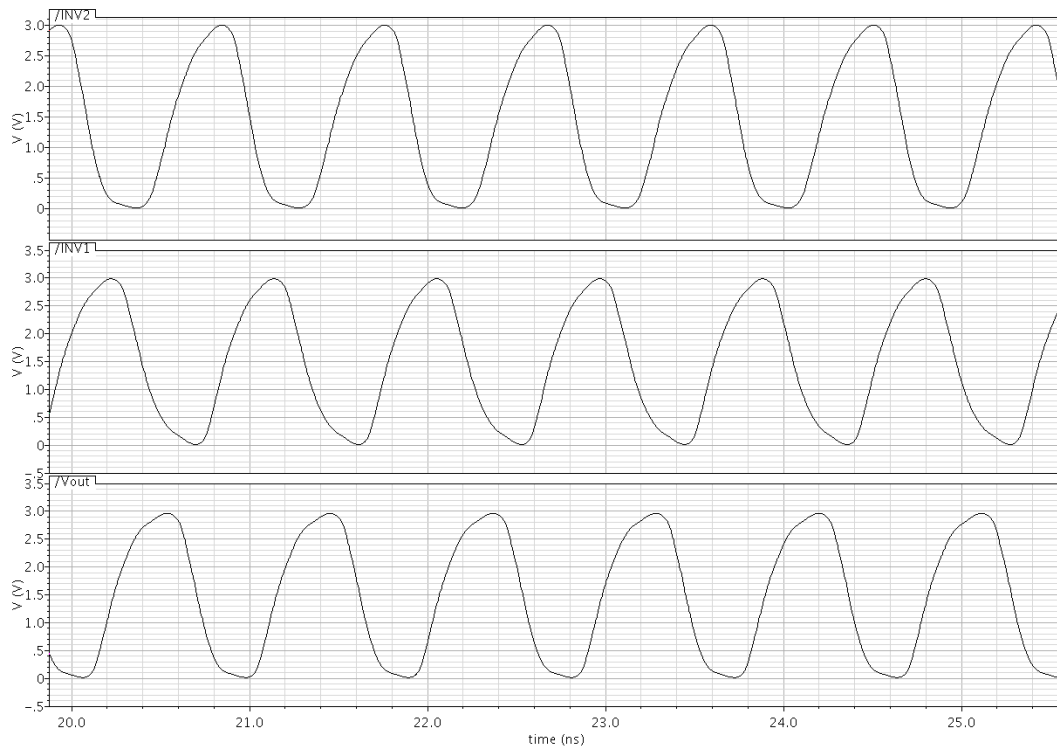
2. táblázat.

A fenti szempontok alapján az eredményeket értékeltem, és az 1.3-mas szorzó bizonyult a legjobb választásnak. 1.35-ös szorzó esetén ugyan a kimeneti jel középértéke közelebb van az 1.5 V-hoz, de a jel maximumai alacsonyabbak, mint az 1.3-mas szorzó esetén.

A beállítások után az oszcillátor egyes inverter kimeneteinek hullámformáját a 16. ábra tartalmazza. A jelekhez tartozó szimulációs adatokat a 3. táblázat tartalmazza.

Inverter kimenet száma:	U_{out_MIN} [mV]	U_{out_MAX} [mV]	F_0 [GHz]	U_{AV} [V]
1.	18.48	2.995	1.093	1.465
2.	24.11	3	1.093	1.412
3. (vagy Vout)	23.46	2.971	1.093	1.498

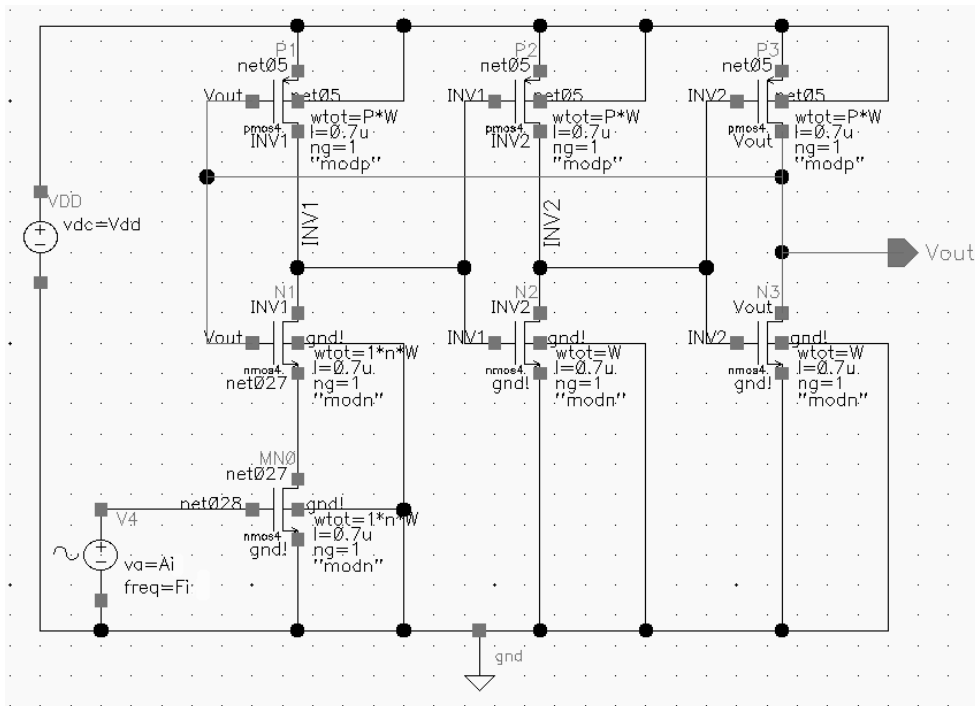
3. táblázat.



16. ábra – A három inverter kimenet hullámformái.

Az U_{BIAS} állításának hatása az F_0 -ra

A tervezés az előző paraméterek meghatározásával lezárult. A végleges kapcsolási rajz a 17. ábrán látható. P-vel a pmos-ok szorzóját, n-nel az alsó két nmos szorzóját jelöltem.



17. ábra – A végleges kapcsolási rajz.

A fontosabb paraméterek már be lettek állítva, viszont a külső órajel egyen összetevője módosítja a ring oszcillátor szabadon futó frekvenciáját. Ezért szimulációkat végeztem, hogy később már pontos F_0 értéket tudjak használni. Ennek az eredményei a 4. táblázatban szerepelnek.

Ubias [V]	F0 [MHz]
0.8	284.1
1	548.3
1.2	747.2
1.4	882.8
1.6	970.1
1.8	1020
2	1047
2.2	1063
2.4	1074
2.6	1082
2.8	1088
3	1093
1.5	931.7

4.táblázat

A következőkben a loking range meghatározásával foglalkozom.

A megvalósított ILO szimulációs eredményei

1. szimuláció

Paraméterek:

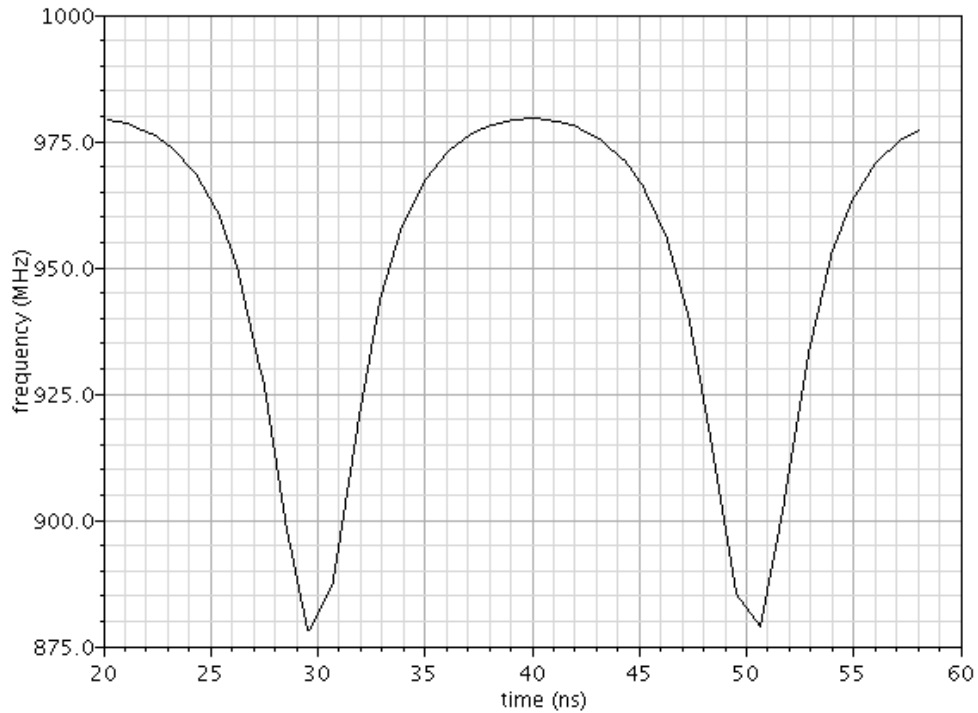
- Az oszcillátor paraméterei az előző pontokban lettek meghatározva. Ezek a következők: $V_{dd} = 3\text{ V}$, $W = 1\ \mu\text{m}$, $L = 0.7\ \mu\text{m}$, $n = 1.3$, $P = 2.2$
- A Külső jel jellemzői: $U_{bias} = 1.5\text{ V}$, $A_i = 150\text{ mV}$
- A Külső jel frekvenciája lesz most a változó. (F_i)

A szabadon futó F_0 frekvencia az $U_{BIAS} = 1.5\text{V}$ miatt 931.7 MHz lett. Ezért első megközelítésben F_i -t 600 MHz -tól 1100 MHz -ig változtattam 100 MHz -es lépésekkel, és közben megvizsgáltam a kimeneti jel frekvenciáját. Az eredményeket az 5. táblázat tartalmazza.

F_{inj} [MHz]	F_{out} [MHz]
600	923
700	920
800	912
900	900
1000	949
1100	934.3

5. táblázat $F_0 = 931.7\text{ MHz}$

Az értékekből egyértelműen kiderül, hogy csak a 900MHz -nél állt be a rendszer állandó állapotba. Az első fontos következtetés, ami levonható ebből a mérésből, hogy range-nek kisebbnek kell lennie, mint $2*70\text{MHz}$. Egy másik fontos következtetés akkor vonható le, ha a megvizsgált nem befogott F_{out} jelét egy frekvencia – idő diagramon ábrázoljuk. A 18. ábrán látható az 1 GHz -es külső jelre adott válasza az oszcillátornak. Látható, hogy a jel két szélső frekvencia érték között ingadozik. Ez a locking range alsó és felső határa.



18. ábra – 1GHz-es frekvenciájú 150mV amplitúdójú jel hatása a ring oszcillátorra.

Ennek a jelnek a maximális frekvenciája: 980 MHz, és a minimális frekvenciája: 872 MHz. A 980 MHz a locking range felső határa, és a 872 MHz a locking range alsó határa.

Ha $872 \text{ MHz} \cong F_0 + F_1$, $980 \text{ MHz} \cong F_0 + F_2$ és tudjuk, hogy $F_0 = 931.7 \text{ MHz}$, akkor meghatározható F_1 , F_2 . [V-6] $F_1 \cong 59 \text{ MHz}$ és $F_2 \cong 49 \text{ MHz}$.

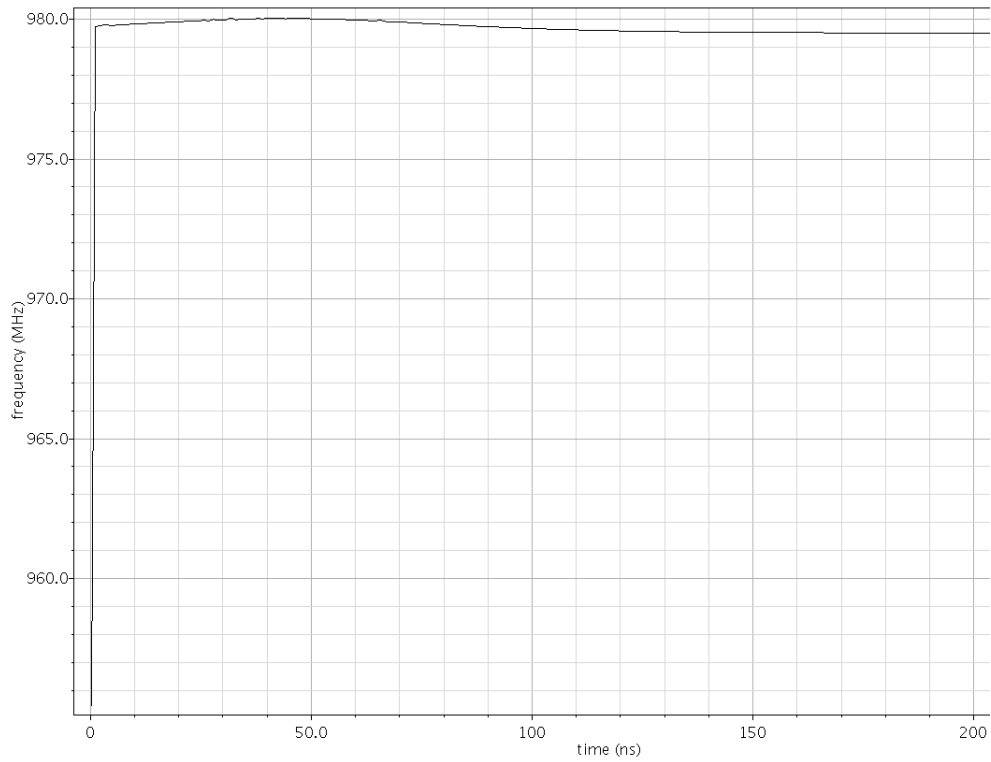
2. szimuláció

F_1 és F_2 pontosabb meghatározása parametrikus szimulációkkal. A 6. táblázat a felső határ frekvencia (F_2) szimulációkkal való meghatározását tartalmazza.

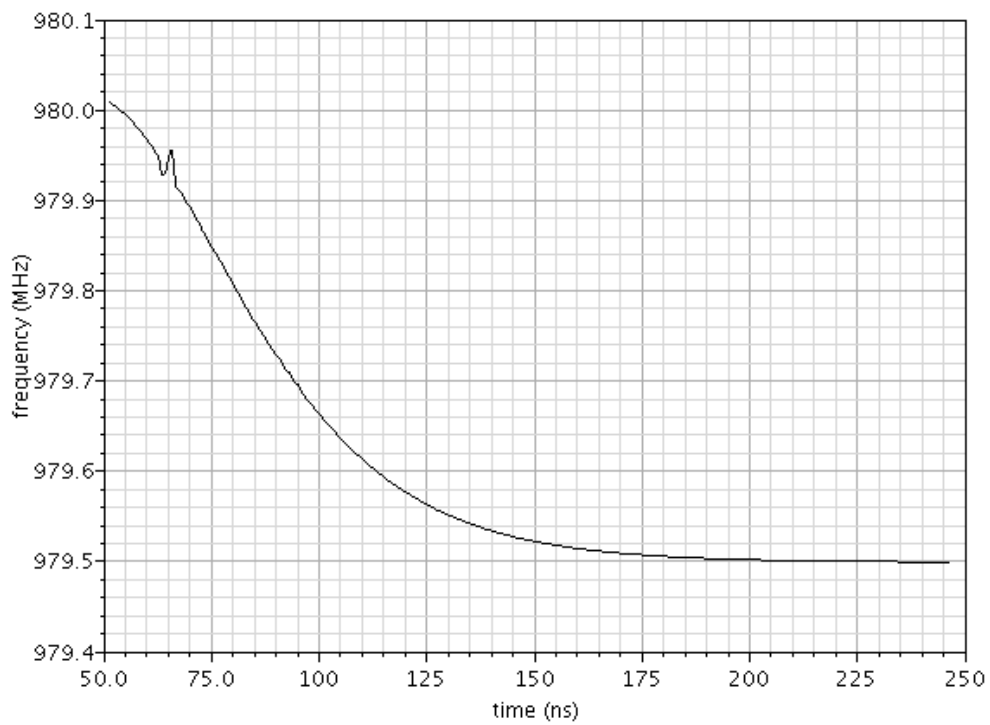
F_i [MHz]	Befogja az oszcillátort?	A új felső határ [MHz]	F_2 [MHz]
980	nem	979.94	-
979.5	igen	980	47.8

6.táblázat

Az $F_i = 979.5 \text{ MHz}$ -en befogja F_0 -t, ez látható a 19. ábrán. Ha megvizsgáljuk az ábrát, akkor észrevehető, hogy a rendszer nem tud a maximális frekvenciára beállni. A rendszer a határ közelében lassan áll be. A lassú beállásról képet a 20. ábra tartalmaz.



19. ábra – A locking range felső határára jellemző frekvencia – idő diagram



20. ábra – 979.9.5MHz-re való beállítás ideje.

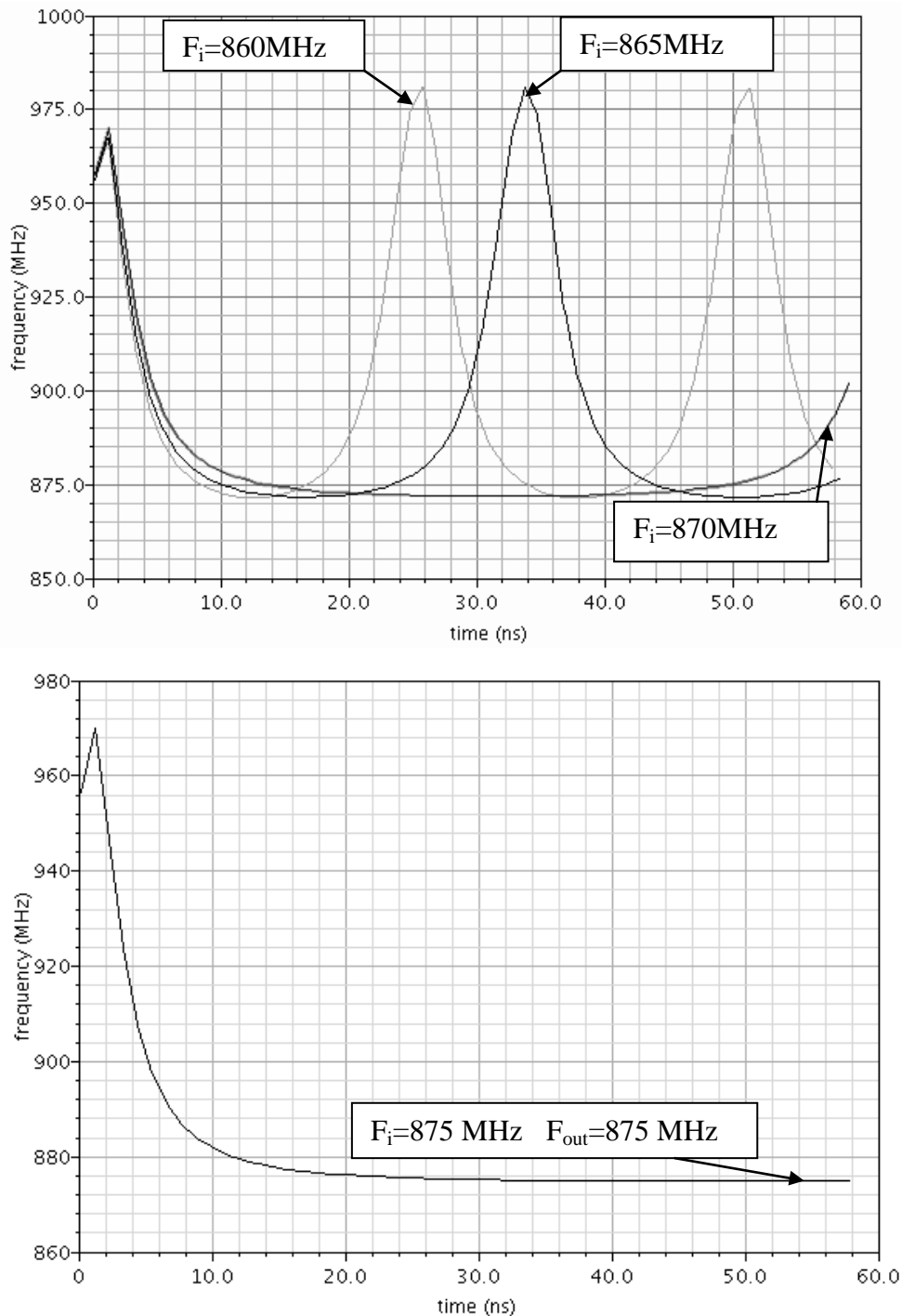
A 7. táblázat az alsó határ frekvencia F_1 meghatározásával foglalkozik.

F_i [MHz]	Befogja az oszcillátort?	A új alsó határ [MHz]	F_1 [MHz]
872	nem	872.1	-
872.1	nem	872.15	-
872.15	nem	872.17	-
872.175	igen	-	59.53

7. táblázat.

3. szimuláció

Az alsó határ frekvencia közelében végeztem méréseket, hogy látható legyen hogyan fogja be a külső jel az oszcillátort. F_i -t 4 lépésben változtattam 860 MHz és 875 MHz között. A 21. ábrán láthatók az eredmények.



21. ábra – A felső a locking range-en kívüli, az alsó a locking range-en belüli viselkedést szemlélteti.

A 21. ábrán jól látszik, ahogy közeledik a külső jel az alsó határ frekvenciához, a frekvenciahullámzások egyre ritkulnak. Ez azért van, mert egyre ritkábban lesz maximális erősítés és maximális kioltás. A locking range szélét az jelzi, hogy egyszerre megszűnik a frekvencia hullámzása.

4. szimuláció

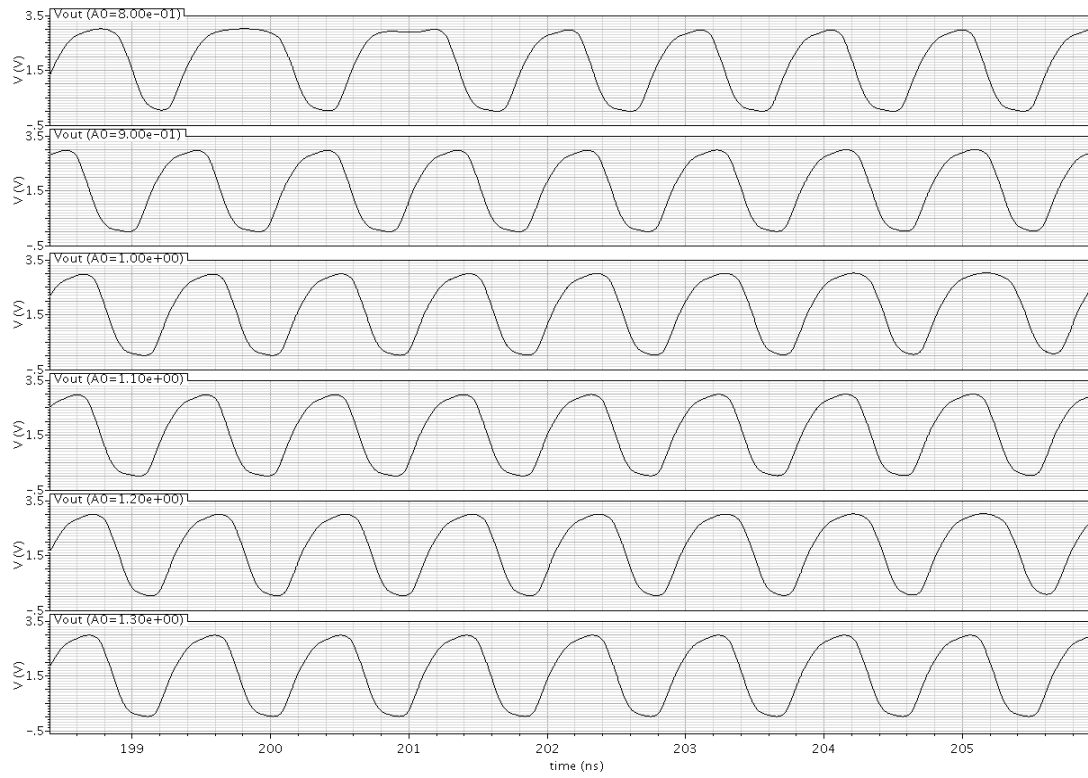
A locking range amplitúdó függését vizsgáltam parametrikus szimulációval. Ehhez egy $F_i = 1.1$ GHz-es külső jelet használtam. Az A_i -t 300mV és 1500mV között vizsgáltam 100mV-os lépésközzel. Az eredmények a 8. táblázatban láthatók.

A [mV]	Fmin [MHz]	Fmax [Mhz]
300	835.7	1012
400	811.2	1028
500	791.4	1041
600	776.1	1050
700	764.1	1060
800	755.2	1070
900	755.72	1080
1000	745.24	1087
1100	742.84	1093
1200	741.82	1098.1
1300	*1058	*1100
1400	*1060	*1100
1500	*1062.2	*1100

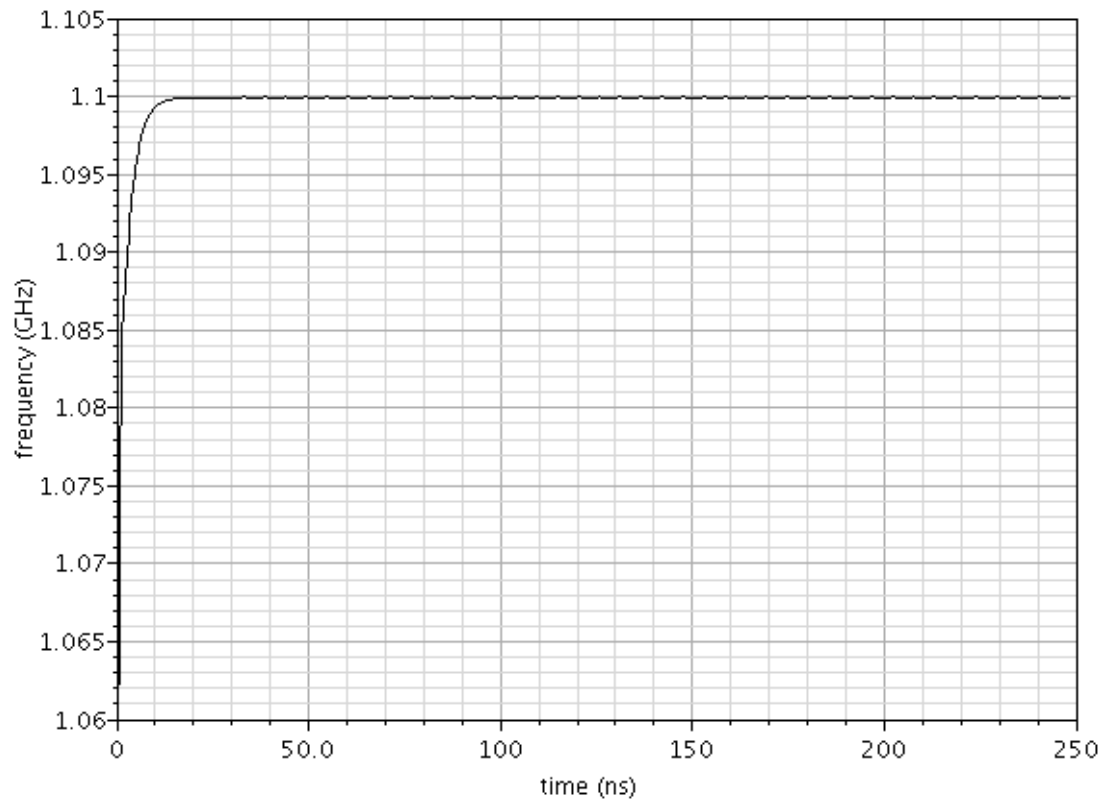
8. táblázat

*Ha $A_i \geq 1.3V$, akkor az oszcillátor beáll az 1.1GHz-re, ezért a táblázat utolsó 3 sorában szereplő határok nem a tényleges határai az áramkörnek.

A külső jel amplitúdójának változtatásával a locking range mérete is változik. A 22. ábrán 800mV és 1300mV közötti amplitúdók esetén látható a kimenet hullámformája. $A_i = 1300mV$ esetén az F_i már befogja az F_0 -t, ezért a 22. ábra utolsó diagramján már nem változik a jel frekvenciája. A 23. ábrán látható a ring oszcillátor beállása erre a magas frekvencia értékre.



22. ábra – A különböző Amplitúdójú jelek esetén a kimenet hullámformája.



23. ábra – A ring oszcillátor beállása 1.1 GHz-re.

Összegzés, lehetőségek

A dolgozatban 3 inverteres ring oszcillátorokkal megvalósított ILO áramkörökkel foglalkoztam. A szimulációs eredmények igazolták, hogy a vizsgált ILO áramkör valóban képes egy külső jel frekvenciájának felvételére egy adott tartományon belül. Ez a tartomány függ a külső jel amplitúdójától. A ring oszcillátor szabadonfutó frekvenciája pedig az U_{BIAS} – szal tudjuk változtatni.

Mivel az ILO áramkörök képesek rászinkronizálódni a külső órajelre, ezért alkalmazásukkal csökkenthető az órajel elosztóhálózat órajel elcsúszása. Az ILO-kal megvalósított lokális órajel előállításal egy kisebb frekvenciájú és kisebb amplitudójú jelet kell a globális órajel elosztó hálózatnak továbbítani, ezzel energia spórolható. A jövőben az ILO-k frekvencia osztó és többszöröző tulajdonságával, részletes elemzésével szeretnék foglalkozni. A szakirodalomban fellelhető más struktúrájú ILO áramkörök elemzésével valószínűleg jobb ILO áramkörök is megvalósíthatók.

Irodalomjegyzék

- [V-1] **Dr. Bognár György**: Digitális VLSI áramkörök órajel elosztó hálózatai, 2011.05.10.
- [V-2] **EBY G. FRIEDMAN** : Clock Distribution Networks in Synchronous Digital Integrated Circuits, IEEE, VOL. 89, NO. 5, 2001 .05.
- [V-3] **Lin Zhang**, „*Low-Power, Gigahertz Clock Generation and Distribution using Injection-Locked Oscillators*”, PhD. thesis, University of Rochester, New York, 2010
- [V-4] **Behzad Mesgarzadeh**, „*Low-Power Low-Jitter Clock Generation and Distribution*”, PhD. thesis, Department of Electrical Engineering, Linköpings University, 2008
- [V-5] **Sheng-Lyang Jang, Chien-Feng Lee, and Wei-Hsung Yeh**, „*A Divide-by-3 Injection Locked Frequency Divider With Single-Ended Input*”, Microwave and Wireless Components Letters, IEEE, Vol. 18, No. 2, pp.142-144, 2008
- [V-6] **Behzad Razavi**, „*A Study of Injection Locking and Pulling in Oscillators*”, IEEE Journal of Solid-state Circuits, Vol. 39, No. 9, pp.1415-1425, 2004.